

PAT-NO: JP411102231A
DOCUMENT-IDENTIFIER: JP 411102231 A
TITLE: DEVICE AND METHOD FOR GENERATING TIMING
PUBN-DATE: April 13, 1999

INVENTOR-INFORMATION:

NAME COUNTRY
TSUTSUI, YASUMITSU N/A

ASSIGNEE-INFORMATION:

NAME COUNTRY
ANDO ELECTRIC CO LTD N/A

APPL-NO: JP09262128
APPL-DATE: September 26, 1997

INT-CL (IPC): G06F001/06 , H03K003/02

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a timing generator with which a high-speed clock edge signal can be continuously generated while suppressing cost-up without expanding the scale of the hardware.

SOLUTION: This device is constituted so that a load signal and a trigger signal outputted from a control part 4 are received, timing data stored in a memory 3 are read into a counter 5 and counted synchronously with a reference clock signal outputted from an oscillator, and the clock edge signal is outputted when counting is executed to a prescribed value. In this case, a high-order counter 5a and a low-order counter 5b are provided in the counter 5 and counting can be determined to be performed while integrating the high-order counter 5a and the low-order counter 5b or independently. Besides, three storage areas are provided in the memory 3 and by reading high-order timing data to the high-order counter 5a and reading low-order timing data to the low-order counter 5b, the device can be prevented from being enlarged.

COPYRIGHT: (C) 1999, JPO

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the timing generator which generates a new clock signal with the period beforehand set up based on the clock signal of the oscillator generated periodically, and the timing generating approach.

[0002]

[Description of the Prior Art] Generally as a means to generate a signal the defined period, the oscillator is used well. Although the period of the signal acquired with an oscillator is very useful, the period (frequency) to which an oscillator generates a signal is usually being fixed with each oscillator, and it is being unable to change into arbitration in most cases. Therefore, in order to have acquired the signal a different period, it needed to have two or more oscillators of a different frequency.

[0003] Then, the timing generator which generates a signal to the timing set as arbitration based on the signal which an oscillator generates is used conventionally. Below, an old timing generator is explained based on drawing 3 and drawing 4.

[0004] Drawing 3 is drawing showing the configuration of the timing generator P1 as an example of the conventional timing generator. Moreover, drawing 4 is drawing to which the address pattern outputted from the control section 53 of drawing 3 and the configuration of the timing data stored in memory 51 were made to correspond. As shown in drawing 3, the timing generator P1 consists of memory 51, a counter 52, a control section 53, and an oscillator 54.

[0005] Actuation to which a signal is outputted by this timing generator P1 is performed as follows. First, an address pattern is transmitted from a control section 53 to memory 51. This address pattern is a signal which specifies the address with which timing data to use in memory 53 are stored, and uses two or more timing data properly with this signal. Memory 51 transmits the timing data stored in the address specified with the address pattern to a counter 52. Here, if the load signal which directs reading of data is transmitted to a counter 52 from a control section 53, a counter 52 will read timing data from memory 51 according to this load signal.

[0006] Then, a trigger signal is outputted from a control section 53 to a counter 52. the clock signal which will be outputted from an oscillator 54 if a counter 52 receives this trigger signal -- synchronizing -- the down of timing data -- counting is started. every clock signal -- a down -- counting is performed, and when all the bits of timing data are set to "0", a clock edge signal is outputted. The clock edge signal acquired by this timing generator P1 is set up by that what time period it is based on the clock signal which an oscillator 54 generates. namely, -- for example, -- since down counting of the counter 52 is carried out to every 2ns (nanosecond) when an oscillator 54 generates the clock signal in a cycle of 500MHz (mega hertz) -- the min of the timing generator P1 -- resolving power is 2ns, and it is set up so that a clock edge signal may be outputted to the timing of this integral multiple for 2ns.

[0007] An address pattern is shown in the left in drawing 4, and timing data are shown in right-hand side. here -- an address pattern -- the signal of a triplet -- = (A2, A1, A0) (0, 0, 0) from -- (1, 1, 1) up to - the eight addresses can be specified. An example of an address pattern and timing data is shown in

drawing 4 . Timing data have bit width of face of 6 bits, and set it to T0, T1, T2, ..., T5 from the least significant bit here at order. T0 which is the least significant bit -- one down -- since it decreases one time by counting, the number "1" in this T0 is equivalent to 1 time of counting, i.e., 2ns. one by one -- T1 -- two downs -- counting -- 1 -- decreasing -- T2 -- four downs -- it decreases one time by counting. therefore, in T1=4ns, T2=8ns, T3=16ns, T-four=32ns, and T5=64ns coming, for example, generating a clock edge signal to the timing for 26ns Since it is $26 = 16 + 8 + 2$, 1 is indicated to T3, and T2 and T0, and it is timing data (T5, T-four, T3, T2, T1, T0) = (0, 0, 1, 1, 0, and 1). It is necessary to make the data to say write in memory.

[0008] Actuation of the timing generator P1 is explained according to the data shown in this drawing 4 . Namely, the address pattern (A2, A1, A0) of a triplet is transmitted from a control section 53. Memory 53 stores 6-bit timing data (T5, T four, T3, T2, T1, T0). the clock signal which the 500MHz oscillator 54 emits after a counter 52 reads the initial value of 6 bits into a counter value (C5, C4, C3, C2, C1, C0) based on the timing data read from memory 53 -- synchronizing -- a down -- counting shall be performed

[0009] First, address pattern (A2, A1, A0) = (0, 0, and 0) is outputted to memory 51 from a control section 53. Timing data (T5, T-four, T3, T2, T1, T0) = (0, 0, 1, 1, 1, and 0) is read from the address pattern with which memory 1 was specified, and a counter 52 loads this timing data with the load signal from a control section 53. And synchronizing with the clock signal from an oscillator 54, it is begun to carry out down counting of the counter 52 by the trigger signal from a control section 53. The counter value (C5, C4, C3, C2, C1, C0) of a counter 52 from initial value (0, 0, 1, 1, 1, and 0) (0, 0, 1, 1, 0, and 0) (0, 0, 1, 1, 0, and 1) and counting -- it is downed, and when all bits finally become "0, (0, 0, 0, 0, 0, 0)", a clock edge signal is outputted. [i.e.,] Then, the following address pattern (A2, A1, A0) is outputted from a control section 53, and the sequential output of the clock edge is carried out by repeating the above-mentioned actuation.

[0010]

[Problem(s) to be Solved by the Invention] In recent years, it will be necessary to make a clock edge signal continue at intervals of very short time amount, and it needs to be generated also in the device concerning [a semi-conductor store circuit has the remarkable inclination of improvement in the speed especially, and] a semi-conductor store circuit. However, by the time it generated the following clock edge signal since one clock edge signal was generated when the conventional timing generator was used, the counter 53 loaded new timing data from memory 51, it needed the procedure of receiving a trigger signal from a control section 53 further, and it had the problem that improvement in the speed by compaction of the recurrence interval of a clock edge signal was difficult in order to require comparatively long time amount. Although how to generate a clock edge signal as this cure using two or more timing generators could be considered, by this approach, 2 sets or the hardware beyond it was needed, and there was a problem that cost increased remarkably.

[0011] Moreover, since the data transmitted as timing data became small when spacing of a clock edge signal was shortened, it was not used by the field of the high order bit of memory 51 and a counter 52 more often, and it had the fault that the use effectiveness of hardware also worsened.

[0012] This invention aims at offering the timing generator which can generate a high-speed clock edge signal continuously, and the timing generating approach, not large-scale-izing a hardware scale but suppressing the increase of cost, in order to solve the above-mentioned trouble.

[0013]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, invention according to claim 1 A clock signal output means to generate a clock signal periodically, and a storage means to store the timing data which direct the initial value of counting, The reading signal which directs reading of the timing data stored in this storage means, If the trigger signal which read the timing data which were outputted from the control means which outputs a trigger signal, and this control means, and which were stored in said storage means when it read and the signal was received, and was outputted from said control means is received It synchronizes with the clock signal outputted from said clock signal output means. In a timing generator equipped with a timing output means to output a timing

signal when counting is performed by the means to a predetermined value counting which performs counting from the initial value directed with said timing data -- a means and this counting -- A means is constituted by two or more counters. said counting -- the counter of these plurality It is possible to perform counting of bit width of face with each counter equal to the sum total of the bit width of face in which counting is possible by all counters being united and operating. And each counter is able to perform counting independently, and said timing output means is characterized by outputting a timing signal, if counting is performed by any one counter to a predetermined value among said two or more counters.

[0014] A clock signal output means to generate a clock signal periodically according to the timing generator of this invention according to claim 1, A storage means to store the timing data which direct the initial value of counting, and the reading signal which directs reading of the timing data stored in this storage means, If the trigger signal which read the timing data which were outputted from the control means which outputs a trigger signal, and this control means, and which were stored in the storage means when it read and the signal was received, and was outputted from the control means is received counting which performs counting from the initial value directed with timing data synchronizing with the clock signal outputted from a clock signal output means -- with a means this counting -- a timing generator equipped with a timing output means to output a timing signal when counting is performed by the means to a predetermined value -- setting -- counting -- a means It is respectively constituted by two counters in which counting of a triplet is possible, and plurality, for example, the counter which is these two pieces By operating, in one Bit width of face with each counter equal to the sum total of the bit width of face in which counting is possible, It is possible to perform 6-bit counting, and each counter is able to perform counting of a triplet independently. Namely, a timing output means A timing signal will be outputted if counting is performed by any one counter to a predetermined value between two counters.

[0015] Therefore, it is possible to generate a timing signal to different timing by reading timing data once, receiving a trigger signal, and performing counting, since it has independently two or more counters which can operate, many timing signals are outputted by the inside of the limited time amount, and improvement in the speed can be realized. Moreover, since it is possible to perform counting like the counter which performs counting of larger bit width of face by two or more counters being united and operating, bit width of face is easy to be small [one piece one counter to install]. The output of a timing signal can be accelerated by this, without causing enlargement of equipment, and high cost-ization.

[0016] Invention according to claim 2 is a timing generator according to claim 1. Said timing data are constituted by two or more small bit timing data. It is read into a means. the small bit timing data of these plurality are united, and are connected -- having -- as said one timing data -- said counting -- In case said two or more counters perform counting independently Said two or more small bit timing data are assigned to said two or more counters which are different independently, respectively. In case the initial value which became independent based on said each small bit timing data is set up, said two or more counters are united and it operates Said two or more small bit timing data are collectively referred to as said one timing data, and it is characterized by setting up the initial value of one piece based on said this one timing data.

[0017] According to the timing generator of this invention according to claim 2, said timing data For example, it comes to have two small bit timing data of a triplet respectively. these two small bit timing data are united, and are connected -- having -- as one 6-bit timing data -- counting, in case it is read into a means and two or more counters perform counting independently Two small bit timing data of a triplet are assigned to two counters which are different independently, respectively. In case the initial value which became independent based on the small bit timing data of each triplet is set up, two or more counters are united and it operates Two small bit timing data of a triplet are collectively referred to as one 6-bit timing data, and the initial value of one piece is set up based on this one timing data.

[0018] Moreover, invention according to claim 5 reads the timing data which direct the initial value of counting, and it synchronizes with the clock signal periodically outputted by receiving a trigger signal.

In the timing generating approach in the timing generator which outputs a timing signal when counting is performed from the initial value directed with said timing data and counting is performed to a predetermined value Said timing data are constituted by two or more small bit timing data which direct the initial value which became independent, respectively. Two or more counting is performed with two or more counters at coincidence based on two or more initial value directed with the small bit timing data of these plurality. A timing signal will be outputted if one of counting is performed to a predetermined value. Said timing data which consist of said two or more small bit timing data are collectively read as one timing data. Based on the initial value of one piece directed with these timing data, each counter is characterized by performing counting of bit width of face equal to the sum total of the bit width of face in which counting is possible by operating two or more counters as one.

[0019] According to this timing generating approach according to claim 5, read the timing data which direct the initial value of counting, and it synchronizes with the clock signal periodically outputted by receiving a trigger signal. In the timing generating approach in the timing generator which outputs a timing signal when counting is performed from the initial value directed with said timing data and counting is performed to a predetermined value Said timing data direct the initial value which became independent, respectively, for example, are constituted by two small bit timing data of a triplet. Two counting is performed to coincidence with two counters of a triplet based on the initial value of two pieces directed with these two small bit timing data. A timing signal will be outputted if one of counting is performed to a predetermined value. Said timing data which consist of said two small bit timing data are collectively read as one 6-bit timing data. Based on the initial value of one piece directed with these timing data, bit width of face with each counter equal to the sum total of the bit width of face in which counting is possible, i.e., 6-bit counting, is performed by operating two or more counters as one.

[0020] Therefore, according to claim 2 and invention according to claim 5, it is possible to perform two or more counting by one timing data reading, and since counting was performed from further two or more initial value, after pressing down the effect of time amount required for one reading to the minimum, a timing signal can be generated more at a high speed.

[0021] Invention according to claim 3 is a timing generator according to claim 2. For said storage means Two or more storing fields which store said timing data are prepared, and the storing field of these plurality is divided into further two or more fields. The field of these plurality It is characterized by it being possible to store said small timing data, respectively, and said each fields of two or more being able to double and to store one timing data.

[0022] According to this invention according to claim 3, two or more storing fields which store timing data in a storage means are prepared, the storing field of these plurality is further divided into two plurality, for example, the field of a triplet, these two fields can store said small timing data, respectively, and it is possible for two fields to double and to store one 6-bit timing data.

[0023] Therefore, since it can realize by using it, dividing the conventional memory even when setting up two or more initial value in case two or more counting is performed using two or more counters, enlargement of equipment and high cost-ization can be prevented. Moreover, since the divided storing field can be used as one storing field in all, even if it is also possible to use it similarly [before dividing the divided memory] and it divides small, counting of large bit width of face can be performed.

[0024] Invention according to claim 4 is a timing generator according to claim 2 or 3. Said timing data it constitutes including identification information data with said two or more small bit timing data -- having -- this identification information data -- being based -- said counting -- a means or [that assign said two or more small bit timing data to said two or more counters different, respectively, and said two or more counters carry out counting independently, respectively] -- or It is characterized by determining whether read said two or more small bit timing data as one timing data, and said two or more counters be united, and to perform counting.

[0025] According to the timing generator of this invention according to claim 4, timing data it constitutes including about 1-bit identification information data with two or more small bit timing data -- having -- this identification information data -- being based -- counting -- a means or [that assign two or more small bit timing data to said two or more counters different, respectively, and two or more counters

carry out counting independently, respectively] -- or It determines whether to read two or more small bit timing data as one timing data, to set up the initial value of one piece, and two or more counters be united, and to perform counting.

[0026] Invention according to claim 6 is the timing generating approach according to claim 5. Moreover, to said timing data Identification information data are further included with said two or more small bit timing data. With this identification information data or [performing two or more counting to coincidence based on two or more initial value directed with said two or more small bit timing data] -- or It is characterized by reading said timing data as one timing data, and determining whether to perform counting based on the initial value of one piece directed with these timing data.

[0027] According to this timing generating approach according to claim 6, to timing data About 1-bit identification information data are further included with two or more small bit timing data. With this identification information data or [performing two or more counting to coincidence based on two or more initial value directed with two or more small bit timing data] -- or Timing data are read as one timing data, and it determines whether to perform counting based on the initial value of one piece directed with these timing data.

[0028] or [therefore, / according to claim 4 and invention according to claim 6, reading the timing data into the timing data itself as one data, and setting the initial value of one piece as it] -- or Since the identification information data which determine whether to perform two or more counting by setting up two or more initial value with small bit timing data are indicated Since especially the equipment that distinction is automatically made and is newly [mitigate an operator's effort and] installed by not specifying the approach of counting and setting up to the timing data itself previously with other means is unnecessary, enlargement can be prevented. Moreover, much more improvement in the speed can be attained by making distinction automatically.

[0029]

[Embodiment of the Invention] Hereafter, with reference to the drawing of drawing 1 and drawing 2 , the detail of the timing generator 1 as a gestalt of operation of this invention is explained. Drawing 1 is the block diagram showing the configuration of the timing generator 1 as a gestalt of operation of this invention, and drawing 2 is drawing showing typically an example of the data stored in the interior of the memory 3 of the timing generator 1 of drawing 1 .

[0030] In this drawing 1 and drawing 2 , as for a timing generator and 2, 1 is [an oscillator and 3] memory, and memory 3 equips the interior with the field 1, the field 2, and the field 3. 4 is a control section, 5 is a counter and the counter 5 is constituted by high order counter 5a and low order counter 5b.

[0031] For example, the oscillator 2 was defined beforehand, it outputs a reference clock signal to high order counter 5a in a counter 5, and low order counter 5b according to frequencies, such as 500 etc.MHz (mega hertz). Although many are set up fixed, the frequency which is a count of an oscillation per unit time amount of the reference clock signal which this oscillator 2 outputs is set up in adjustable, and has some which output a reference clock signal based on vibration of the crystal oscillator with which the interior was equipped.

[0032] Memory 3 can store various kinds of data, the address pattern is given to the field which stores data, and it is possible by specifying this address pattern to specify desired data. As shown in drawing 2 , memory 3 stores timing data in right-hand side so that it may correspond to the address pattern of *****. In the example shown in this drawing 2 , the timing data (T6, T5, T four, T3, T2, T1, T0) which are 7-bit data correspond by 1 to 1 to the address pattern (A2, A1, A0) which is data of a triplet.

[0033] And timing data (T6, T5, T four, T3, T2, T1, T0) are further divided into the field 1, the field 2, and the field 3. That is, by dividing these fields into a triplet, a triplet, and 1 bit from a lower bit in the timing data which are 7-bit data, respectively, identification information data (T6) are assigned by low order timing data (T2, T1, T0) and the field 2 with high order timing data (T5, T four, T3), and are assigned to the field 1 by the field 3, respectively. Moreover, these fields cannot be specified with an address pattern, but one timing data which includes a field 1, a field 2, and every one field 3 each with one address pattern is specified. As shown in drawing 1 , the low order timing data stored in a field 1 are

outputted to low order counter 5b in the counter 5 mentioned later, and in case the initial value of the count performed by low order counter 5b is set up, they are referred to. Similarly, the high order timing data stored in a field 2 are outputted to high order counter 5a in the counter 5 mentioned later, and in case the initial value of the count performed by high order counter 5a is set up, they are referred to. Furthermore, the identification information data stored in a field 3 or [that high order counter 5a in a counter 5 and low order counter 5b are united, and operate] -- or It is data which direct whether to operate independently. In the case of $T6=1$ It is shown that one data for clock edge generating which operates high order counter 5a and low order counter 5b as one counter which interlocked is stored. In the case of $T6=0$ It is shown that two data for clock edge generating which operate independently high order counter 5a and low order counter 5b are stored.

[0034] A control section 4 outputs the address pattern of the data which should be read to memory 3. Moreover, the load signal which directs reading of high order timing data and low order timing data from memory 3 to high order counter 5a in a counter 5 and low order counter 5b, respectively is outputted. It controls by outputting the trigger signal which furthermore directs initiation of a count to high order counter 5a in a counter 5, and low order counter 5b.

[0035] A counter 5 will read the timing data stored in memory 3, if it has high order counter 5a and low order counter 5b inside and a load signal is outputted from a control section 4. In addition, reading of the high order timing data with which high order counter 5a and low order counter 5b were stored in the field 2 and the field 1, respectively, and low order timing data is carried out to a detail among this timing data. And if a trigger signal is outputted from a control section 4, synchronizing with the reference clock signal outputted from an oscillator 2, a count will be started from the initial value set up based on the timing data read from memory 3.

[0036] Next, actuation is explained. The actuation performed as an example below based on address pattern [in memory 3] $(A2, A1, A0) = (0, 0, 1)$ and $(0, 1, 0)$ corresponding timing data is explained.

[0037] First, an address pattern is outputted to memory 3 from a control section 4, and the timing data made to refer to in case a counter 5 is made to perform a count are specified. Then, a load signal is outputted from a control section 4 to a counter 5, and this load signal is transmitted to high order counter 5a of the counter 5 interior, and low order counter 5b.

[0038] The counter 5 which received the load signal performs reading of the timing data beforehand specified with the address pattern in memory 3. At this time, the timing data with which the timing data stored in the field 1 of memory 3 are stored in the field 2 to low order counter 5b are read into high order counter 5a. Furthermore, if the identification information data stored in the field 3 of memory 3 are read into the both sides of high order counter 5a and low order counter 5b, it will opt for actuation of high order counter 5a and low order counter 5b based on this data.

[0039] It explains taking the case of the case where the timing data corresponding to address pattern $(A2, A1, A0) = (0, 0, 1)$ shown in drawing 2 are read. The timing data $(T6, T5, T4, T3, T2, T1, T0)$ of address pattern $(A2, A1, A0) = (0, 0, 1)$ are $(0, 0, 0, 1, 0, 1, 0)$. $(0, 0, 1)$ in a field 2 are read into high order counter 5a, and, as for low order counter 5b, $(0, 1, 0)$ in a field 1 are read. In each counter, as enumerated data, $(0, 0, 1)$ are set up in high order counter 5a, $(0, 1, 0)$ are set up by low order counter 5b, and a count is performed by making these enumerated data into initial value here.

[0040] Since the number indicated to the field 3 of timing data is 0, high order counter 5a and low order counter 5b perform a count independently according to this identification information data. Therefore, high order counter 5a performs the down count from being the numeric value of the read data $(0, 0, 1)$, and when data are set to $(0, 0, 0)$, a clock edge signal is outputted from a counter 5. Moreover, when $(0, 0, 0)$, and a down count are performed and data are set to $(0, 0, 0)$ from $(0, 1, 0)$ one by one $(0, 0, 1)$, as for low order counter 5b, a clock edge signal is outputted from a counter 5. In addition, the down count performed here is actuation which carries out 1 subtrahend of the data, whenever a clock signal is outputted once from an oscillator 2 synchronizing with the reference clock signal with which high order counter 5a or low order counter 5b is outputted from an oscillator 2.

[0041] as mentioned above, high order counter 5a and low order counter 5b -- respectively -- since -- since a clock edge signal is outputted to different timing, 2 times of clock edge signals can be acquired

from a control section 4 with outputting an address pattern, a load signal, and a trigger signal once.

[0042] Then, it explains taking the case of the case where timing data (T6, T5, T-four, T3, T2, T1, T0) = (1, 0, 1, 1, 1, 0, 0) corresponding to address pattern (A2, A1, A0) = (0, 1, 0) shown in drawing 2 is read. (0, 1, 1) are read into high order counter 5a, and (1, 0, 0) are read into low order counter 5b. Here, since 1 is indicated by the data stored in the field 3 in memory 3, high order counter 5a and low order counter 5b are united, and perform a down count. That is, as stated previously, in case high order counter 5a and low order counter 5b operate independently, they perform the subtrahend of the data of a triplet. therefore, when this high order counter 5a and low order counter 5b are united and operate It operates as a counter 5 which performs the subtrahend of 6-bit data. From timing data (T6, T5, T-four, T3, T2, T1, T0) = (0, 1, 1, 1, 0, 0) When a down count is performed with (0, 1, 1, 0, 1, 0), (0, 1, 1, 0, 0, 1), and --, 27 down counts are performed one by one (0, 1, 1, 0, 1, 1) and data are set to (0, 0, 0, 0, 0, 0), a clock edge signal is outputted from a counter 5.

[0043] Thus, even if it is the counter of a triplet, after each counter performs a maximum of 63 times of subtrahends, it is possible [a counter], since it can operate as a 6-bit counter when high order counter 5a and low order counter 5b are united and operate to make a clock edge signal output.

[0044] As mentioned above, according to the timing generator 1 of the gestalt of this operation, it can have high order counter 5a and low order counter 5b in a counter 5, and high order counter 5a of these and low order counter 5b can determine whether it is made to operate in one with the identification information data stored in the field 3 in memory 3, or it is made to operate independently. It is possible to also use as a counter with countable large bit width of face by this and to also make it operate as a counter which performs independently the count of small bit width of face, sets short-time spacing, and outputs many clock edge signals possible. Moreover, since the storing field corresponding to one address pattern is divided into three more fields, even if large-sized memory is not used for the timing data stored in memory 3, they can store the data for outputting many clock edge signals. By this, without causing enlargement of equipment or memory, a cost rise can be suppressed and improvement in the speed of the output of a clock edge signal can be realized. In addition, in order to realize improvement in the speed, it is required to shorten spacing which outputs a clock edge signal. That is, the shorter one of the time amount which carries out a down count until it outputs a clock edge signal is advantageous. Therefore, although the down count of a triplet was possible for high order counter 5a and low order counter 5b which were illustrated in the gestalt of this operation, that the bit width of face in which counting is possible is especially small does not do trouble on the occasion of improvement in the speed.

[0045] In addition, in the gestalt of the above-mentioned implementation, although both the high order counter in a counter 5 and the low order counter performed the down count by making the read timing data into initial value as it was, especially this invention is not limited to this example, and may be made the configuration to which timing data are changed into in a certain form, and initial value is set. Moreover, it is not limited to a down count about the approach of counting. Moreover, in addition to this, of course, it can change into arbitration also about the configuration of details.

[0046]

[Effect of the Invention] It is possible to generate a timing signal to different timing by reading timing data once, receiving a trigger signal, and performing counting, since it has independently two or more counters which can operate according to the timing generator of invention according to claim 1, many timing signals are outputted by the inside of the limited time amount, and improvement in the speed can be realized. Moreover, since it is possible to perform counting like the counter which performs counting of larger bit width of face by two or more counters being united and operating, bit width of face is easy to be small [one piece one counter to install]. The output of a timing signal can be accelerated by this, without causing enlargement of equipment, and high cost-ization.

[0047] According to claim 2 publication and invention according to claim 5, it is possible to perform two or more counting by one timing data reading, and since counting was performed from further two or more initial value, after pressing down the effect of time amount required for one reading to the minimum, a timing signal can be generated more at a high speed.

[0048] Since according to the timing generator of invention according to claim 3 it can realize by using it, dividing the conventional memory even when setting up two or more initial value in case two or more counting is performed using two or more counters, enlargement of equipment and high cost-ization can be prevented. Moreover, since the divided storing field can be used as one storing field in all, even if it is also possible to use it similarly [before dividing the divided memory] and it divides small, counting of large bit width of face can be performed.

[0049] or [according to claim 4 and invention according to claim 6, reading the timing data into the timing data itself as one data, and setting the initial value of one piece as it] -- or Since the identification information data which determine whether to perform two or more counting by setting up two or more initial value with small bit timing data are indicated Since especially the equipment that distinction is automatically made and is newly [mitigate an operator's effort and] installed by not specifying the approach of counting and setting up to the timing data itself previously with other means is unnecessary, enlargement can be prevented. Moreover, much more improvement in the speed can be attained by making distinction automatically.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-102231

(43) 公開日 平成11年(1999) 4月13日

(51) Int. Cl.⁴

識別記号

P I

G 0 6 F 1/06

G 0 6 F 1/04

3 1 2 D

H 0 3 K 3/02

H 0 3 K 3/02

P

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平9-262128

(22) 出願日 平成9年(1997) 9月26日

(71) 出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(72) 発明者 筒井 保光

東京都大田区蒲田4丁目19番7号 安藤電気株式会社内

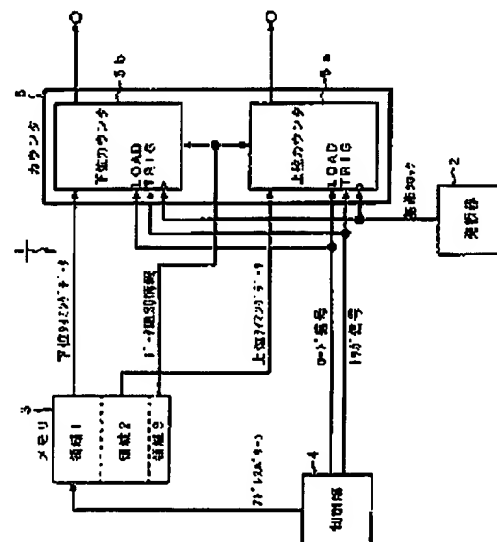
(74) 代理人 弁理士 荒船 博司 (外1名)

(54) 【発明の名称】 タイミング発生装置及びタイミング発生方法

(57) 【要約】

【課題】 ハードウェア規模を大規模化せず、コスト増を抑えながら、高速なクロックエッジ信号を連続して発生させることが可能なタイミング発生装置を提供することを目的とする。

【解決手段】 制御部4から出力されるロード信号とトリガ信号を受信してメモリ3内に格納されているタイミングデータをカウンタ5内に読み込み、発振器から出力される基準クロック信号に同期して計数を行い、所定の値まで計数が実行されるとクロックエッジ信号を出力するタイミング発生装置であって、カウンタ5内に上位カウンタ5aと下位カウンタ5bを設け、識別情報データによって、上位カウンタ5aと下位カウンタ5bが一体となってカウントを行うか、独立してカウントするかを決定することができる。又、メモリ3内には3個の格納領域を設けて、上位カウンタ5aには上位タイミングデータを、下位カウンタ5bには下位タイミングデータを読み込むことによって、装置の大型化を防ぐことができる。



(2)

特開平11-102231

1

2

【特許請求の範囲】

【請求項1】周期的にクロック信号を発生するクロック信号出力手段と、

計数の初期値を指示するタイミングデータを格納する記憶手段と、

この記憶手段に格納されたタイミングデータの読み込みを指示する読み込み信号と、トリガ信号とを出力する制御手段と、

この制御手段から出力された読み込み信号を受信すると前記記憶手段に格納されたタイミングデータを読み込み、前記制御手段から出力されたトリガ信号を受信すると、前記クロック信号出力手段から出力されるクロック信号に同期して、前記タイミングデータによって指示された初期値から計数を行う計数手段と、

この計数手段によって所定の値まで計数が行われた際にタイミング信号を出力するタイミング出力手段と、を備えるタイミング発生装置において、

前記計数手段は複数のカウンタによって構成され、

これら複数のカウンタは、全てのカウンタが一体となって動作することによって、それぞれのカウンタが計数可能なビット幅の合計に等しいビット幅の計数を行うことが可能であり、且つ、それぞれのカウンタが独立して計数を行うことが可能であって、

前記タイミング出力手段は、前記複数のカウンタのうちいずれか1個のカウンタによって所定の値まで計数が行われるとタイミング信号を出力すること、を特徴とするタイミング発生装置。

【請求項2】前記タイミングデータは複数の小ビットタイミングデータによって構成され、

これら複数の小ビットタイミングデータは一体となって連結されて1個の前記タイミングデータとして前記計数手段に読み込まれ、

前記複数のカウンタが独立して計数を行う際には、前記複数の小ビットタイミングデータはそれぞれ独立して異なる前記複数のカウンタに割り当てられ、それぞれの前記小ビットタイミングデータに基づいて独立した初期値が設定され、

前記複数のカウンタが一体となって動作する際には、前記複数の小ビットタイミングデータはまとめて1個の前記タイミングデータとして参照され、この1個の前記タイミングデータに基づいて1個の初期値が設定されること、

を特徴とする請求項1記載のタイミング発生装置。

【請求項3】前記記憶手段には、前記タイミングデータを格納する格納領域が複数設けられ、

これら複数の格納領域はさらに複数の領域に分割されていて、

これら複数の領域は、それぞれ前記小タイミングデータを格納することが可能であって、且つ、それぞれの前記複数の領域が合わせられて1個のタイミングデータを格

納することが可能であること、

を特徴とする請求項2記載のタイミング発生装置。

【請求項4】前記タイミングデータは、前記複数の小ビットタイミングデータとともに識別情報データを含んで構成され、

この識別情報データに基づいて、前記計数手段は、前記複数の小ビットタイミングデータをそれぞれ異なる前記複数のカウンタに割り当てて前記複数のカウンタがそれぞれ独立して計数するか、或いは、前記複数の小ビットタイミングデータを1個のタイミングデータとして読み込んで前記複数のカウンタが一体となって計数を実行するかを決定すること、

を特徴とする請求項2又は3記載のタイミング発生装置。

【請求項5】計数の初期値を指示するタイミングデータを読み込み、トリガ信号を受信することにより周期的に出力されるクロック信号に同期して、前記タイミングデータによって指示された初期値から計数を行い、所定の値まで計数が行われた際にタイミング信号を出力するタイミング発生装置におけるタイミング発生方法において、

前記タイミングデータは、それぞれ独立した初期値を指示する複数の小ビットタイミングデータによって構成され、

これら複数の小ビットタイミングデータによって指示される複数の初期値をもとに複数のカウンタによって同時に複数の計数を実行して、いずれかの計数が所定の値まで行われるとタイミング信号を出力し、或いは、前記複数の小ビットタイミングデータからなる前記タイミングデータをまとめて1個のタイミングデータとして読み込んで、該タイミングデータによって指示される1個の初期値をもとに、複数のカウンタを一体として動作させることによってそれぞれのカウンタが計数可能なビット幅の合計に等しいビット幅の計数を実行すること、を特徴とするタイミング発生方法。

【請求項6】前記タイミングデータには、前記複数の小ビットタイミングデータとともに識別情報データをさらに含み、

この識別情報データによって、前記複数の小ビットタイミングデータによって指示される複数の初期値をもとに同時に複数の計数を実行するか、或いは、前記タイミングデータを1個のタイミングデータとして読み込んで、該タイミングデータによって指示される1個の初期値をもとに計数を実行するか、を決定すること、を特徴とする請求項5記載のタイミング発生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、周期的に発生する発振器のクロック信号をもとにして、予め設定された周期で新たなクロック信号を発生するタイミング発生装置

3

およびタイミング発生方法に関する。

【0002】

【従来の技術】定められた周期で信号を発生する手段としては、一般に、発振器がよく利用されている。発振器によって得られる信号の周期は非常に有用であるが、通常、発振器が信号を発生する周期（周波数）はそれぞれの場合によって固定されており、任意に変更できない場合がほとんどである。従って、異なる周期で信号を得るには、異なる周波数の発振器を複数備える必要があった。

【0003】そこで従来利用されてきたのが、発振器が発生する信号をもとに、任意に設定したタイミングで信号を発生するタイミング発生装置である。以下に、図3及び図4に基づいて、これまでのタイミング発生装置について説明する。

【0004】図3は、従来のタイミング発生装置の一例としてのタイミング発生装置P1の構成を示す図である。又、図4は、図3の制御部53から出力されるアドレスパターンとメモリ51内に格納されるタイミングデータの構成とを対応させた図である。図3に示すように、タイミング発生装置P1はメモリ51、カウンタ52、制御部53、発振器54から構成される。

【0005】このタイミング発生装置P1によって信号が出力される動作は次のように行われる。まず、制御部53からメモリ51に対してアドレスパターンが送信される。このアドレスパターンは、メモリ51内において使用しないタイミングデータが格納されているアドレスを指定する信号であり、この信号によって複数のタイミングデータを使い分けるようになっている。メモリ51は、アドレスパターンによって指定されたアドレスに格納されているタイミングデータをカウンタ52に送信する。ここで、制御部53から、データの読み込みを指示するロード信号がカウンタ52に送信されると、カウンタ52はこのロード信号に従ってメモリ51からタイミングデータを読み込む。

【0006】その後、制御部53からカウンタ52に対してトリガ信号が出力される。カウンタ52は、このトリガ信号を受信すると、発振器54から出力されるクロック信号に同期してタイミングデータのダウン計数を開始する。クロック信号毎にダウン計数を行い、タイミングデータの全ビットが“0”になったときにクロックエッジ信号を出力する。このタイミング発生装置P1によって得られるクロックエッジ信号は、発振器54が発生するクロック信号をもとにしてその何倍の周期かで設定される。即ち、例えば発振器54が50MHz（メガヘルツ）周期のクロック信号を発生する場合、カウンタ52は2ns（ナノ秒）毎にダウン計数するので、タイミング発生装置P1の最小分解能は2nsであり、この2nsの整数倍のタイミングでクロックエッジ信号を出力するように設定されている。

(3)

特開平11-102231

4

【0007】図4中左にはアドレスパターンを、右側にはタイミングデータを示す。ここではアドレスパターンは3ビットの信号で、(A2,A1,A0)=(0,0,0)から(1,1,1)まで8個のアドレスの指定をすることができる。図4には、アドレスパターンとタイミングデータの一例を示す。ここでタイミングデータは6ビットのビット幅を有し、最下位ビットから順に、T0、T1、T2、・・・、T5とする。最下位ビットであるT0は1回のダウン計数によって1減少するので、このT0における数「1」は1回の計数即ち2nsに相当する。順次、T1は2回のダウン計数によって1減少し、T2は4回のダウン計数によって1減少する。従って、T1=4ns、T2=8ns、T3=16ns、T4=32ns、T5=64nsとなり、例えば26nsのタイミングでクロックエッジ信号を発生させる場合には、26=16+8+2であるので、T3、T2、T0に1を記載して、タイミングデータ(T5,T4,T3,T2,T1,T0)=(0,0,1,1,0,1)というデータをメモリに書き込ませる必要がある。

【0008】この図4に示すデータに従ってタイミング発生装置P1の動作を説明する。即ち、3ビットのアドレスパターン(A2,A1,A0)が制御部53から送信され、メモリ53は6ビットのタイミングデータ(T5,T4,T3,T2,T1,T0)を格納しており、カウンタ52はメモリ53から読み出したタイミングデータに基づいて6ビットの初期値をカウンタ値(C5,C4,C3,C2,C1,C0)に読み込んでから50MHzの発振器54が発生するクロック信号に同期してダウン計数を行うものとする。

【0009】まず、制御部53からアドレスパターン(A2,A1,A0)=(0,0,0)がメモリ51に出力され、メモリ1の指定されたアドレスパターンからタイミングデータ(T5,T4,T3,T2,T1,T0)=(0,0,1,1,0,1)が読み出され、カウンタ52は制御部53からのロード信号により、このタイミングデータをロードする。そして、制御部53からのトリガ信号により、カウンタ52は発振器54からのクロック信号に同期してダウン計数し始め、カウンタ52のカウンタ値(C5,C4,C3,C2,C1,C0)は、初期値(0,0,1,1,0,1)から、(0,0,1,1,0,1),(0,0,1,1,0,0)・・・と計数ダウンし、最終的には全ビットが“0”すなわち、(0,0,0,0,0,0)となった時にクロックエッジ信号を出力する。引き続き、制御部53から次のアドレスパターン(A2,A1,A0)が出力され、上記の動作を繰り返すことによって、クロックエッジが順次出力される。

【0010】

【発明が解決しようとする課題】近年、半導体記憶回路は特に高速化の傾向が著しく、半導体記憶回路に係わる機器においても、クロックエッジ信号を非常に短い時間の間隔で連続させて発生させる必要が生じてきた。ところが、従来のタイミング発生装置を用いる場合、1つのクロックエッジ信号を発生させてから次のクロックエッジ信号を発生させるまでには、カウンタ53は、メモリ

5

51から新たなタイミングデータをロードし、さらに制御部53からトリガ信号を受信するという手順が必要であり、比較的長い時間を要するため、クロックエッジ信号の発生間隔の短縮による高速化が困難であるという問題があった。この対策として、複数のタイミング発生装置を用いてクロックエッジ信号を発生させる方法が考えられるが、この方法では2組或いはそれ以上のハードウェアを必要とし、コストが著しく増大するという問題があった。

【0011】又、クロックエッジ信号の間隔が短縮されると、タイミングデータとして送信されるデータは小さくなるので、メモリ51およびカウンタ52の上位ビットの領域は使用されないことが多くなり、ハードウェアの利用効率も悪くなるという欠点があった。

【0012】本発明は、上記問題を解決するため、ハードウェア規模を大規模化せず、コスト増を抑えながら、高速なクロックエッジ信号を連続して発生させることが可能なタイミング発生装置及びタイミング発生方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、周期的にクロック信号を発生するクロック信号出力手段と、計数の初期値を指示するタイミングデータを格納する記憶手段と、この記憶手段に格納されたタイミングデータの読み込みを指示する読み込み信号と、トリガ信号とを出力する制御手段と、この制御手段から出力された読み込み信号を受信すると前記記憶手段に格納されたタイミングデータを読み込み、前記制御手段から出力されたトリガ信号を受信すると、前記クロック信号出力手段から出力されるクロック信号に同期して、前記タイミングデータによって指示された初期値から計数を行う計数手段と、この計数手段によって所定の値まで計数が行われた際にタイミング信号を出力するタイミング出力手段と、を備えるタイミング発生装置において、前記計数手段は、複数のカウンタによって構成され、これら複数のカウンタは、全てのカウンタが一体となって動作することによって、それぞれのカウンタが計数可能なビット幅の合計に等しいビット幅の計数を行うことが可能であり、且つ、それぞれのカウンタが独立して計数を行うことが可能であって、前記タイミング出力手段は、前記複数のカウンタのうちいずれか1個のカウンタによって所定の値まで計数が行われるとタイミング信号を出力すること、を特徴としている。

【0014】この請求項1記載の発明のタイミング発生装置によれば、周期的にクロック信号を発生するクロック信号出力手段と、計数の初期値を指示するタイミングデータを格納する記憶手段と、この記憶手段に格納されたタイミングデータの読み込みを指示する読み込み信号と、トリガ信号とを出力する制御手段と、この制御手段から出力された読み込み信号を受信すると記憶手段に格

(4)

特開平11-102231

6

納されたタイミングデータを読み込み、制御手段から出力されたトリガ信号を受信すると、クロック信号出力手段から出力されるクロック信号に同期して、タイミングデータによって指示された初期値から計数を行う計数手段と、この計数手段によって所定の値まで計数が行われた際にタイミング信号を出力するタイミング出力手段と、を備えるタイミング発生装置において、計数手段は、複数の、例えば各々3ビットの計数が可能な2個のカウンタによって構成され、これら2個のカウンタは、一体となって動作することによって、それぞれのカウンタが計数可能なビット幅の合計に等しいビット幅、即ち6ビットの計数を行うことが可能であり、且つ、それぞれのカウンタが独立して3ビットの計数を行うことが可能であって、タイミング出力手段は、2個のカウンタのうちいずれか1個のカウンタによって所定の値まで計数が行われるとタイミング信号を出力する。

【0015】従って、独立して動作が可能な複数のカウンタを備えているので、タイミングデータを1回読み込んでトリガ信号を受信して計数を行うことによって異なるタイミングでタイミング信号を発生することが可能であり、限られた時間内により多数のタイミング信号を出力して、高速化を実現することができる。又、複数のカウンタが一体となって動作することにより、より大きいビット幅の計数を行うカウンタと同様に計数を行うことが可能であるので、設置する1個1個のカウンタはビット幅の小さなものでよい。これによって、装置の大型化、高コスト化を招くことなく、タイミング信号の出力を高速化することができる。

【0016】請求項2記載の発明は、請求項1記載のタイミング発生装置であって、前記タイミングデータは複数の小ビットタイミングデータによって構成され、これら複数の小ビットタイミングデータは一体となって連結されて1個の前記タイミングデータとして前記計数手段に読み込まれ、前記複数のカウンタが独立して計数を行う際には、前記複数の小ビットタイミングデータはそれぞれ独立して異なる前記複数のカウンタに割り当てられ、それぞれの前記小ビットタイミングデータに基づいて独立した初期値が設定され、前記複数のカウンタが一体となって動作する際には、前記複数の小ビットタイミングデータはまとめて1個の前記タイミングデータとして参照され、この1個の前記タイミングデータに基づいて1個の初期値が設定されること、を特徴としている。

【0017】この請求項2記載の発明のタイミング発生装置によれば、前記タイミングデータは、例えば各々3ビットの小ビットタイミングデータを2個備えてなり、これら2個の小ビットタイミングデータは一体となって連結されて6ビットの1個のタイミングデータとして計数手段に読み込まれ、複数のカウンタが独立して計数を行う際には、3ビットの小ビットタイミングデータ2個はそれぞれ独立して異なる2個のカウンタに割り当てら

50

(5)

特開平11-102231

7

8

れ、それぞれの3ビットの小ビットタイミングデータに基づいて独立した初期値が設定され、複数のカウンタが一体となって動作する際には、3ビットの小ビットタイミングデータ2個はまとめて6ビットのタイミングデータ1個として参照され、この1個のタイミングデータに基づいて1個の初期値が設定される。

【0018】又、請求項5記載の発明は、計数の初期値を指示するタイミングデータを読み込み、トリガ信号を受信することにより周期的に出力されるクロック信号に同期して、前記タイミングデータによって指示された初期値から計数を行い、所定の値まで計数が行われた際にタイミング信号を出力するタイミング発生装置におけるタイミング発生方法において、前記タイミングデータは、それぞれ独立した初期値を指示する複数の小ビットタイミングデータによって構成され、これら複数の小ビットタイミングデータによって指示される複数の初期値をもとに複数のカウンタによって同時に複数の計数を実行して、いずれかの計数が所定の値まで行われるとタイミング信号を出力し、或いは、前記複数の小ビットタイミングデータからなる前記タイミングデータをまとめて1個のタイミングデータとして読み込んで、該タイミングデータによって指示される1個の初期値をもとに、複数のカウンタを一体として動作させることによってそれぞれのカウンタが計数可能なビット幅の合計に等しいビット幅の計数を実行すること、を特徴としている。

【0019】この請求項5記載のタイミング発生方法によれば、計数の初期値を指示するタイミングデータを読み込み、トリガ信号を受信することにより周期的に出力されるクロック信号に同期して、前記タイミングデータによって指示された初期値から計数を行い、所定の値まで計数が行われた際にタイミング信号を出力するタイミング発生装置におけるタイミング発生方法において、前記タイミングデータは、それぞれ独立した初期値を指示する。例えば3ビットの小ビットタイミングデータ2個によって構成され、これら2個の小ビットタイミングデータによって指示される2個の初期値をもとに3ビットのカウンタ2個によって同時に2つの計数を実行して、いずれかの計数が所定の値まで行われるとタイミング信号を出力し、或いは、前記2個の小ビットタイミングデータからなる前記タイミングデータをまとめて6ビットのタイミングデータ1個として読み込んで、該タイミングデータによって指示される1個の初期値をもとに、複数のカウンタを一体として動作させることによってそれぞれのカウンタが計数可能なビット幅の合計に等しいビット幅、即ち6ビットの計数を実行する。

【0020】従って、請求項2および請求項5記載の発明によれば、1回のタイミングデータ読み込みによって複数の計数を実行することが可能であり、さらに、複数の初期値から計数を行うことができるので、1回の読み込みに必要な時間の影響を最小限に抑えた上で、タイ

ミング信号をより高速に発生することができる。

【0021】請求項3記載の発明は、請求項2記載のタイミング発生装置であって、前記記憶手段には、前記タイミングデータを格納する格納領域が複数設けられ、これら複数の格納領域はさらに複数の領域に分割されていて、これら複数の領域は、それぞれ前記小タイミングデータを格納することが可能であって、且つ、それぞれの前記複数の領域が合わせて1個のタイミングデータを格納することが可能であること、を特徴としている。

【0022】この請求項3記載の発明によれば、記憶手段には、タイミングデータを格納する格納領域が複数設けられ、これら複数の格納領域はさらに複数の、例えば3ビットの領域2個に分割されていて、これら2個の領域は、それぞれ前記小タイミングデータを格納することが可能であって、且つ、2個の領域が合わせて6ビットのタイミングデータ1個を格納することが可能である。

【0023】従って、複数のカウンタを用いて複数の計数を実行する際に、複数の初期値を設定する場合でも、従来のメモリを分割して使用することによって実現可能であるので、装置の大型化、高コスト化を防ぐことができる。又、分割された格納領域は、合わせて1個の格納領域として使用することが可能であるので、分割されたメモリを分割する前と同様に使用することも可能であり、小さく分割しても、大きいビット幅の計数を実行することができる。

【0024】請求項4記載の発明は、請求項2又は3記載のタイミング発生装置であって、前記タイミングデータは、前記複数の小ビットタイミングデータとともに識別情報データを含んで構成され、この識別情報データに基づいて、前記計数手段は、前記複数の小ビットタイミングデータをそれぞれ異なる前記複数のカウンタに割り当てて前記複数のカウンタがそれぞれ独立して計数するか、或いは、前記複数の小ビットタイミングデータを1個のタイミングデータとして読み込んで前記複数のカウンタが一体となって計数を実行するかを決定すること、を特徴としている。

【0025】この請求項4記載の発明のタイミング発生装置によれば、タイミングデータは、複数の小ビットタイミングデータとともに例えば1ビット程度の識別情報データを含んで構成され、この識別情報データに基づいて、計数手段は、複数の小ビットタイミングデータをそれぞれ異なる前記複数のカウンタに割り当てて複数のカウンタがそれぞれ独立して計数するか、或いは、複数の小ビットタイミングデータを1個のタイミングデータとして読み込んで1個の初期値を設定し、複数のカウンタが一体となって計数を実行するかを決定する。

【0026】又、請求項6記載の発明は、請求項5記載のタイミング発生方法であって、前記タイミングデータには、前記複数の小ビットタイミングデータとともに識

(5)

特開平11-102231

9

10

別情報データをさらに含み、この識別情報データによって、前記複数の小ビットタイミングデータによって指示される複数の初期値をもとに同時に複数の計数を実行するか、或いは、前記タイミングデータを1個のタイミングデータとして読み込んで、該タイミングデータによって指示される1個の初期値をもとに計数を実行するか、を決定すること、を特徴としている。

【0027】この請求項6記載のタイミング発生方法によれば、タイミングデータには、複数の小ビットタイミングデータとともに1ビット程度の識別情報データをさらに含み、この識別情報データによって、複数の小ビットタイミングデータによって指示される複数の初期値をもとに同時に複数の計数を実行するか、或いは、タイミングデータを1個のタイミングデータとして読み込んで、該タイミングデータによって指示される1個の初期値をもとに計数を実行するかを決定する。

【0028】従って、請求項4および請求項6記載の発明によれば、タイミングデータ自身に、そのタイミングデータを1個のデータとして読み込んで1個の初期値を設定するか、或いは、小ビットタイミングデータによって複数の初期値を設定し、複数の計数を実行するかを決定する識別情報データが記載されているので、特に他の手段によって計数の方法を指定する必要がなく、先にタイミングデータ自身に対して設定を行っておくことにより、自動的に判別がなされ、作業者の労力を軽減し、且つ、新たに設置する装置は必要ないので、大型化を防ぐことができる。又、自動的に判別がなされることにより、より一層の高速化を達成できる。

【0029】

【発明の実施の形態】以下、図1および図2の図面を参照して、本発明の実施の形態としてのタイミング発生装置1の詳細について説明する。図1は、本発明の実施の形態としてのタイミング発生装置1の構成を示すブロック図であり、図2は、図1のタイミング発生装置1のメモリ3の内部に格納されるデータの一例を模式的に示す図である。

【0030】この図1および図2において、1はタイミング発生装置、2は発振器、3はメモリであり、メモリ3は内部に領域1と、領域2と、領域3とを備えている。4は制御部であり、5はカウンタであって、カウンタ5は上位カウンタ5aと、下位カウンタ5bとによって構成されている。

【0031】発振器2は、予め定められた、例えば500MHz（メガヘルツ）等の周波数に従って、カウンタ5内の上位カウンタ5aおよび下位カウンタ5bに対して基準クロック信号を出力する。この発振器2が出力する基準クロック信号の単位時間あたりの発振回数である周波数は多くは固定的に設定されているが、可変的に設定可能なものであっても良く、内部に備えた水晶発振器等の振動に基づいて基準クロック信号を出力するもの等があ

る。

【0032】メモリ3は、各組のデータを格納することが可能であり、データを格納する領域にはアドレスパターンが付されており、このアドレスパターンを指定することによって所望のデータを指定することが可能である。図2に示すように、メモリ3は図中左のアドレスパターンに対応するように、右側にタイミングデータを格納している。この図2に示す例においては、3ビットのデータであるアドレスパターン(A2,A1,A0)に対して、7ビットのデータであるタイミングデータ(T6,T5,T4,T3,T2,T1,T0)が1対1で対応している。

【0033】そして、タイミングデータ(T6,T5,T4,T3,T2,T1,T0)はさらに領域1、領域2、領域3に分割されている。すなわち、これらの領域は、7ビットのデータであるタイミングデータを下位ビットからそれぞれ3ビット、3ビット、1ビットに分けられることにより、領域1には下位タイミングデータ(T2,T1,T0)、領域2には上位タイミングデータ(T5,T4,T3)、領域3には識別情報データ(T6)がそれぞれ割り振られている。また、これらの領域はアドレスパターンによって指定することばできず、1個のアドレスパターンによって、領域1、領域2、領域3を各1個ずつ含むタイミングデータ1個が指定される。領域1に格納される下位タイミングデータは、図1に示すように、後述するカウンタ5内の下位カウンタ5bに対して出力され、下位カウンタ5bによって実行されるカウンタの初期値を設定する際に参照される。同様に、領域2に格納される上位タイミングデータは、後述するカウンタ5内の上位カウンタ5aに対して出力され、上位カウンタ5aによって実行されるカウンタの初期値を設定する際に参照される。さらに、領域3に格納される識別情報データは、カウンタ5内の上位カウンタ5aと下位カウンタ5bが一体となって動作するか、或いは、独立して動作するのかを指示するデータであり、T6=1の場合には、上位カウンタ5aと下位カウンタ5bを連動した1つのカウンタとして動作させる1つのクロックエッジ発生用のデータが格納されていることを示し、T6=0の場合には、上位カウンタ5aと下位カウンタ5bを独立して動作させる2つのクロックエッジ発生用のデータが格納されていることを示す。

【0034】制御部4は、メモリ3に対して、読み出されるべきデータのアドレスパターンを出力し、また、カウンタ5内の上位カウンタ5aおよび下位カウンタ5bに対してメモリ3からそれぞれ上位タイミングデータと下位タイミングデータの読み込みを指示するロード信号を出力し、さらにカウンタ5内の上位カウンタ5aと下位カウンタ5bに対してカウンタの開始を指示するトリガ信号を出力して制御を行う。

【0035】カウンタ5は、内部に上位カウンタ5aと下位カウンタ5bを有し、制御部4からロード信号が出力されるとメモリ3内に格納されているタイミングデー

11

タを読み込む。尚、詳細には、このタイミングデータの
内、上位カウンタ5 aと下位カウンタ5 bがそれぞれ領域
2と領域1に格納されていた上位タイミングデータと
下位タイミングデータの読み込みを行う。そして、制御
部4からトリガ信号が出力されると、発振器2から出力
される基準クロック信号に同期して、メモリ3から読み
込んだタイミングデータに基づいて設定した初期値から
カウントを開始する。

【0036】次に、動作を説明する。以下に、一例とし
て、メモリ3内のアドレスパターン(A2,A1,A0)=(0,0,
1)および(0,1,0)に対応するタイミングデータに基づい
て実行される動作について説明する。

【0037】まず、制御部4からメモリ3にアドレスパ
ターンが出力され、カウンタ5にカウントを実行させる
際に参照させるタイミングデータが指定される。続いて
制御部4からカウンタ5に対してロード信号が出力さ
れ、このロード信号はカウンタ5内部の上位カウンタ5
a、下位カウンタ5 bに伝達される。

【0038】ロード信号を受信したカウンタ5は、メモ
リ3において予めアドレスパターンによって指定された
タイミングデータの読み込みを実行する。このとき、メ
モリ3の領域1内に格納されているタイミングデータは
下位カウンタ5 bへ、領域2内に格納されているタイミ
ングデータは上位カウンタ5 aに読み込まれる。さら
に、メモリ3の、領域3内に格納されている識別情報デ
ータが上位カウンタ5 a、下位カウンタ5 bの双方に読
み込まれると、このデータに基づいて上位カウンタ5 a
と下位カウンタ5 bの動作が決定される。

【0039】図2に示すアドレスパターン(A2,A1,A0)=
(0,0,1)に対応するタイミングデータが読み込まれた場
合を例にとって説明する。アドレスパターン(A2,A1,A0)
=(0,0,1)のタイミングデータ(T6,T5,T4,T3,T2,T1,T0)
は(0,0,0,1,0,1,0)であり、上位カウンタ5 aには領域
2内の(0,0,1)が読み込まれ、下位カウンタ5 bは領域
1内の(0,1,0)が読み込まれる。ここで各カウンタにお
いては、計数値として上位カウンタ5 aでは(0,0,1)
が、下位カウンタ5 bでは(0,1,0)が設定され、この計
数値を初期値としてカウントが実行される。

【0040】タイミングデータの領域3に記載されてい
る数は0であるので、上位カウンタ5 aと下位カウンタ
5 bはこの識別情報データに従って、独立してカウント
を実行する。従って、上位カウンタ5 aは、読み込んだ
データの数値である(0,0,1)からのダウンカウントを実
行し、データが(0,0,0)となった時点でカウンタ5から
クロックエッジ信号が出力される。また、下位カウンタ
5 bは(0,1,0)から、順次(0,0,1)、(0,0,0)とダウンカ
ウントを実行し、データが(0,0,0)となった時点でカウ
ンタ5よりクロックエッジ信号が出力される。尚、ここ
で実行されるダウンカウントとは、上位カウンタ5 a或
いは下位カウンタ5 bが、発振器2から出力される基準

(7)

待間平11-102231

12

クロック信号に同期して、発振器2からクロック信号が
1回出力される毎にデータを1減数する動作である。

【0041】上記のように、上位カウンタ5 aと下位カ
ウンタ5 bのそれぞれから異なるタイミングでクロック
エッジ信号が出力されるので、制御部4からアドレスパ
ターンとロード信号とトリガ信号を1回出力することで
2回のクロックエッジ信号を得ることができる。

【0042】続いて、図2に示すアドレスパターン(A2,
A1,A0)=(0,1,0)に対応するタイミングデータ(T6,T5,T
4,T3,T2,T1,T0)=(1,0,1,1,1,0,0)が読み込まれた場合
を例にとって説明する。上位カウンタ5 aには(0,1,1)
が、下位カウンタ5 bには(1,0,0)が読み込まれる。こ
こで、メモリ3内の領域3に格納されていたデータには
1が記載されているので、上位カウンタ5 aと下位カウ
ンタ5 bは一体となってダウンカウントを実行する。即
ち、先に述べたように上位カウンタ5 aと下位カウンタ
5 bは、独立して動作する際には3ビットのデータの減
数を実行する。従って、この上位カウンタ5 aと下位カ
ウンタ5 bとが一体となって動作する場合には、6ビッ
トのデータの減数を実行するカウンタ5として動作し、
タイミングデータ(T6,T5,T4,T3,T2,T1,T0)=(0,1,1,1,
0,0)から、順次(0,1,1,0,1,1)、(0,1,1,0,1,0)、(0,1,
1,0,0,1)、…とダウンカウントを行い、27回のダウン
カウントを行ってデータが(0,0,0,0,0,0)となった時点
でカウンタ5からクロックエッジ信号が出力される。

【0043】このように、上位カウンタ5 aと下位カウ
ンタ5 bとが一体となって動作する場合には6ビットの
カウンタとして動作することができるので、それぞれの
カウンタは3ビットのカウンタであっても、最大63回
の減数を実行させた後にクロックエッジ信号を出力させ
ることが可能である。

【0044】以上のように、この実施の形態のタイミ
ング発生装置1によれば、カウンタ5内に上位カウンタ5
aと下位カウンタ5 bとを備え、これらの上位カウンタ
5 aと下位カウンタ5 bは、メモリ3内の領域3に格納
された識別情報データによって、一体となって動作させ
るか、或いは、独立して動作させるかを決定することが
できる。これによって、カウントできるビット幅の大き
いカウンタとして用いることも可能であり、又、小さい
ビット幅のカウントを独立して行い、短時間の間隔をお
いて多数のクロックエッジ信号を出力するカウンタとし
て動作させることも可能である。又、メモリ3内に格納
されたタイミングデータは、1個のアドレスパターンに
対応する格納領域がさらに3個の領域に分割されている
ので、大型のメモリを用いなくても多数のクロックエ
ッジ信号を出力するためのデータを格納することができ
る。これによって、装置やメモリの大型化を招くことな
く、コスト上昇を抑え、クロックエッジ信号の出力の高
速化を実現することができる。尚、高速化を実現するた
めにはクロックエッジ信号を出力する間隔が短縮するこ

50

(8)

特開平11-102231

13

とが必要である。即ち、クロックエッジ信号を出力するまでのダウンカウントをする時間は短いほうが有利である。そのため、本実施の形態に例示した上位カウンタ5aと下位カウンタ5bとは3ビットのダウンカウントが可能であったが、計数可能なビット幅が小さいことは高速化に際して特に支障を及ぼすことはない。

【0045】なお、上記実施の形態においては、カウンタ5内の上位カウンタ、下位カウンタのいずれも、読み込んだタイミングデータをそのまま初期値としてダウンカウントを実行したが、本発明は特にこの例に限定されるものではなく、タイミングデータを何らかの形で変換して初期値が設定される構成にしてもよい。又、計数の方法についても、ダウンカウントに限定されることはない。又、その他細部の構成についても、任意に変更可能であることは勿論である。

【0046】

【発明の効果】請求項1記載の発明のタイミング発生装置によれば、独立して動作可能な複数のカウンタを備えているので、タイミングデータを1回読み込んでトリガ信号を受信して計数を行うことによって異なるタイミングでタイミング信号を発生することが可能であり、限られた時間内により多数のタイミング信号を出力して、高速化を実現することができる。又、複数のカウンタが一体となって動作することにより、より大きいビット幅の計数を行うカウンタと同様に計数を行うことが可能であるので、設置する1個1個のカウンタはビット幅の小さなものでよい。これによって、装置の大型化、高コスト化を招くことなく、タイミング信号の出力を高速化することができる。

【0047】請求項2記載および請求項5記載の発明によれば、1回のタイミングデータ読み込みによって複数の計数を実行することが可能であり、さらに、複数の初期値から計数を行うことができるので、1回の読み込みに必要な時間の影響を最小限に抑ええた上で、タイミング信号をより高速に発生することができる。

【0048】請求項3記載の発明のタイミング発生装置によれば、複数のカウンタを用いて複数の計数を実行す*

*る際に、複数の初期値を設定する場合でも、従来のメモリを分割して使用することによって実現可能であるので、装置の大型化、高コスト化を防ぐことができる。又、分割された格納領域は、合わせて1個の格納領域として使用することが可能であるので、分割されたメモリを分割する前と同様に使用することも可能であり、小さく分割しても、大きいビット幅の計数を実行することができる。

【0049】請求項4および請求項6記載の発明によれば、タイミングデータ自身に、そのタイミングデータを1個のデータとして読み込んで1個の初期値を設定するか、或いは、小ビットタイミングデータによって複数の初期値を設定し、複数の計数を実行するかを決定する識別情報データが記載されているので、特に他の手段によって計数の方法を指定する必要がなく、先にタイミングデータ自身に対して設定を行っておくことにより、自動的に判別がなされ、作業者の労力を軽減し、且つ、新たに設置する装置は必要ないので、大型化を防ぐことができる。又、自動的に判別がなされることにより、より一層の高速化を達成できる。

【図面の簡単な説明】

【図1】本発明の実施の形態としてのタイミング発生装置の構成を示すブロック図である。

【図2】図1のメモリ3内に格納されたデータの状態を模式的に示す図である。

【図3】従来のタイミング発生装置の一例を示すブロック図である。

【図4】図3のメモリ51内に格納されたデータの状態を示す図である。

【符号の説明】

- 1 タイミング発生装置
- 2 発振器
- 3 メモリ
- 4 制御部
- 5 カウンタ
- 5a 上位カウンタ
- 5b 下位カウンタ

【図2】

アドレス/カウンタ			タイミングデータ							
A2	A1	A0	T0	T1	T2	T3	T4	T5	T6	T7
0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0

初期値3 初期値2 初期値1

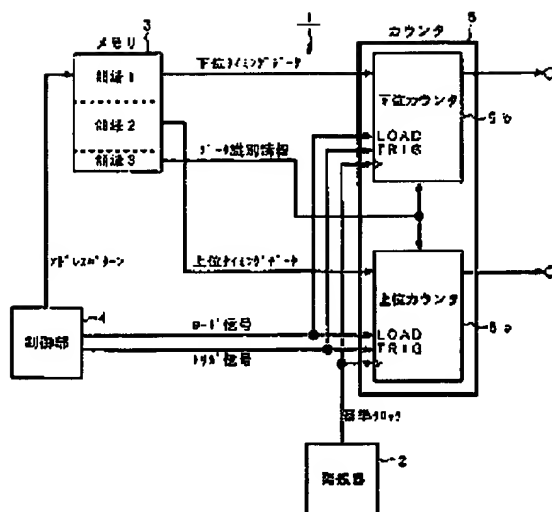
【図4】

アドレス/カウンタ			タイミングデータ							
A2	A1	A0	T5	T4	T3	T2	T1	T0		
0	0	0	0	0	0	0	0	0		
0	0	1	0	0	0	0	0	0		
0	1	0	0	0	0	0	0	0		
0	1	1	0	0	0	0	0	0		
1	1	1	0	0	0	0	0	0		

(9)

特開平11-102231

【図1】



【図3】

